

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP63202029

Publication date: 1988-08-22

Inventor: SHIGENAGA MINAKO; NAKAMURA SHIGEAKI

Applicant: MATSUSHITA ELECTRONICS CORP

Classification:

- international: H01L21/316; H01L21/822; H01L21/8234; H01L27/04;
H01L27/06; H01L21/02; H01L21/70; H01L27/04;
H01L27/06; (IPC1-7): H01L21/316; H01L27/04

- European:

Application number: JP19870033873 19870217

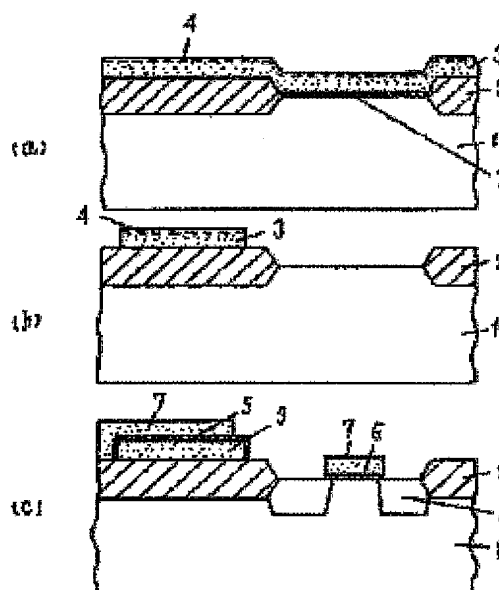
Priority number(s): JP19870033873 19870217

Report a data error here

Abstract of JP63202029

PURPOSE: To make it possible to implement an oxide film, whose thickness is equal to or smaller than that of a gate oxide film, on polycrystalline silicon, by implanting nitrogen ions into a first polycrystalline silicon layer, and forming an electrode layer on the oxide film, which is formed by thermal oxidation.

CONSTITUTION: A specified amount of nitrogen ions are implanted 4 in a first polycrystalline silicon layer 3. Thereafter, the first polycrystalline silicon layer 3, which is an electrode beneath a capacitor, is oxidized at the same time when a gate oxide film 6 is formed. An oxide film for a capacitor is formed and its thickness is controlled in correspondence with the amount of the implantation of the nitrogen ions. Thus a thin oxide film 5 can be formed on the first polycrystalline silicon layer 3. Since the thickness of the oxide film can be controlled in a broad range, the design of the capacitor, which is formed at the same time as a transistor, becomes easy, and the area of the capacitor can be made small.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-202029

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)8月22日

H 01 L 21/316
27/046708-5F
C-7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-33873

⑯ 出 願 昭62(1987)2月17日

⑰ 発 明 者 重 永 美 奈 子 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 中 村 茂 昭 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

第1層の多結晶シリコンに窒素イオンを注入した後、前記第1層の多結晶シリコンを熱酸化して容量部酸化膜を形成し、ついで前記酸化膜上に電極層を形成する工程をそなえた半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は容量を含む半導体装置の製造方法に関するものである。

従来の技術

従来、多結晶シリコンで上部及び下部の各電極が構成された容量を含む半導体装置を製造する際、多くの場合、2層目の多結晶シリコンは、容量の上部電極と共に、トランジスタのゲート電極を同時に形成するように製作される。かかる構造を実現する製造工程においては、下部電極である

第1層の多結晶シリコンの表面を熱酸化して容量として用いる酸化膜を形成する際、同時にトランジスタを作成すべきシリコン基板を酸化して、ゲート酸化膜を形成する。ゲート酸化工程後に第2層の多結晶シリコンを設けて、容量上部電極と同時にトランジスタのゲート電極を形成する。

通常、第1層及び第2層の多結晶シリコンは配線抵抗値を下げるために、多量の不純物、例えばリン(P)、砒素(As)等が導入されている。多量に不純物を含む多結晶シリコンを熱酸化した場合、不純物の少ないシリコン単結晶に比べて酸化の進行が速く、多大となり、通常のドライ雰囲気中での熱酸化で1.3倍ないしは1.5倍、ウェット雰囲気中では約2倍の酸化速度になる事は良く知られている。

発明が解決しようとする問題点

これらの事から明らかな様に、従来方法によると、同時に熱酸化した場合、容量の下部電極としての第1層の多結晶シリコン上の酸化膜がシリコン基板上のゲート酸化膜より常に厚くなる問題が

ある。即ち、従来方法では同時に熱酸化した場合、多結晶シリコン上の酸化膜がシリコン基板上の酸化膜より常に厚くなり、その膜厚は、酸化方法、ならびに、多結晶シリコン中の不純物濃度に強く依存する。そのため、ゲート酸化膜厚と容量用酸化膜厚とをそれぞれ最適に制御する事は困難であり、特に大きな容量値を必要とする時、多結晶シリコン上の酸化膜が厚いため、容量の面積が多くなる欠点があった。そこで本発明は多結晶シリコン上の酸化膜厚を、ゲート酸化膜形成のための酸化方法、多結晶シリコン中の不純物濃度等に左右されず、且つ同時に酸化されるシリコン基板上のゲート酸化膜厚と同等、ないしは、より薄い膜厚を多結晶シリコン上に実現し、しかも酸化膜厚が広範囲に制御可能な製造方法を提案するものである。

問題点を解決するための手段

本発明は、第1層の多結晶シリコンに窒素イオンを注入した後、前記第1層の多結晶シリコンを熱酸化し、容量部酸化膜を形成し、ついで、前記

酸化膜2を形成した後、第1層の多結晶シリコン3を形成し、例えば、リンガラス(PSG)により高濃度にリンを不純物として導入する。しかる後に、通常のイオン注入装置を用いて、窒素イオンを30keVないし50keVのエネルギーで注入して、窒素注入層4を形成する。この時、窒素イオンの注入量は目的とする電気容量の酸化膜厚に応じて制御する。次に第1図bに示したように、例えばプラズマエッチング等の方法により、第1層の多結晶シリコン3を所望の寸法に加工し、容量下部電極とする。次に、基板シリコン1上に絶縁ゲート電界効果トランジスタ(MOSFET)のゲート酸化膜6を形成すると同時に、容量下部電極である窒素イオンが注入された多結晶シリコン3を酸化し容量用の酸化膜5を形成する。

一例として、通常のドライ酸素雰囲気による高温酸化方法を用いてゲート酸化を実行した場合、基板シリコン上のゲート酸化膜厚が90nmの厚さ形成される条件では、容量用酸化膜としての第1層多結晶シリコン上の酸化膜厚は、もし、窒素

酸化膜上に電極層を形成する工程をそなえた半導体装置の製造方法である。

作用

本発明は第1層の多結晶シリコン上に、所定量の窒素イオンを注入しておき、しかる後にゲート酸化膜形成時に、同時に容量下部電極である第1層多結晶シリコンを酸化し、窒素イオン注入量に応じて容量用酸化膜厚を作成制御することにより、薄い酸化膜を第1層多結晶シリコン上に作成可能になり、しかも酸化膜厚を広範囲に制御出来るため、トランジスタと同時に作成する容量の設計が容易になり、容量面積も小さくできる。

実施例

本発明の実施例を図面を用いて説明する。第1図a～cは本発明の製造方法により、2層の多結晶シリコンから成る容量を内蔵した半導体装置の作成工程を示した主要工程順断面図である。図において、1はシリコン基板、2はフィールド酸化膜、9は通常の熱酸化膜である。

第1図aに示したように、通常のフィールド酸

注イオンを注入しない方法では、120nmと厚くなるが、約 $5 \times 10^{14} \text{cm}^{-2}$ の量のチッ素イオンを注入する事によりゲート酸化膜6と同じ90nm、さらに 1×10^{15} ないしは $1.5 \times 10^{15} \text{cm}^{-2}$ の窒素イオンを注入する事によりゲート酸化膜6の約半分の膜厚が容量用酸化膜5として実現できる。

上記ゲート酸化工程を行った後に第1図cに示すように、第2層の多結晶シリコン7をゲート電極及び容量の上部電極として形成し、その後は通常の半導体装置の作成方法でソース、ドレイン領域8を形成し、これによって、容量を内蔵した金属-酸化物-半導体構造の集積回路装置、いわゆる、MOS LSIを完成させる。

第2図は本発明の方法により不揮発性メモリ(EPROM)の作成方法を示した主要工程順断面図である。図において1はシリコン基板、2はフィールド酸化膜、9はEPROMのメモリーセル部を構成するゲート酸化膜、3は第1層の多結晶シリコンで、最終浮遊ゲートとなる。第2図a

に示したように、多結晶シリコン3に通常の方法を用いて高濃度のPあるいはAsを不純物として導入した後に、通常のイオン注入装置を用いて窒素イオンを30kevないし50kevのエネルギーで注入した窒素注入層4を形成する。この時、窒素イオンの注入量は用途により制御する。次に第2図bに示すように第1層の多結晶シリコン3を通常の方法で加工し浮遊ゲート部を形成する。次にシリコン基板1上にゲート酸化膜6を作成すると同時に浮遊ゲート3上に酸化膜5を作成するために熱酸化を行なう。よく知られているように、浮遊ゲート3上の酸化膜は、その後、この上に形成される第2層の多結晶シリコン7を上部電極として容量を形成する。かかる容量の値は第1層の多結晶シリコン3上に設ける酸化膜厚で決定される。

本実施例の方法では、周辺トランジスタのゲート酸化膜6と浮遊ゲート上の酸化膜5を同時に作成する酸化工程において、通常のドライ雰囲気中で高温酸化を行ないシリコン基板上に50nmのゲ

ート酸化膜を設ける場合、窒素イオン注入を何ら行わない場合は浮遊ゲート上の酸化膜厚が約70nmになるが、窒素を約 $5 \times 10^{14} \text{cm}^{-2}$ 量注入することによりゲート膜と同じ50nm、 1×10^{14} 注入する事によりゲート膜より薄い40nmが浮遊ゲート上の酸化膜として実現できる。酸化膜形成後は、通常の方法により第2層目多結晶シリコン7を設け、以後、通常の方法でEPROMを製造する。

第3図に通常の方法でリンを高濃度に導入した多結晶シリコンに窒素を注入し、通常のドライ酸化方法で酸化した場合の酸化膜厚の窒素注入量依存性の例を示す。

発明の効果

本発明によると、多結晶シリコン上の酸化膜厚をシリコン基板上の酸化膜と同等、ないしは薄く形成する事が可能で、この時膜厚は窒素イオン注入量により広範囲に制御可能であるから、本発明の方法を用いる事により明らかに、2層の多結晶シリコンを電極とする容量は面積を小さくする事

が可能であり、しかもトランジスタのゲート酸化膜厚に規制される事なく膜厚を設定する事が可能であるため、容量は内蔵するMOS LSI及びEPROM、EEPROM等の最適設計及び製造が容易になる利点を有する。

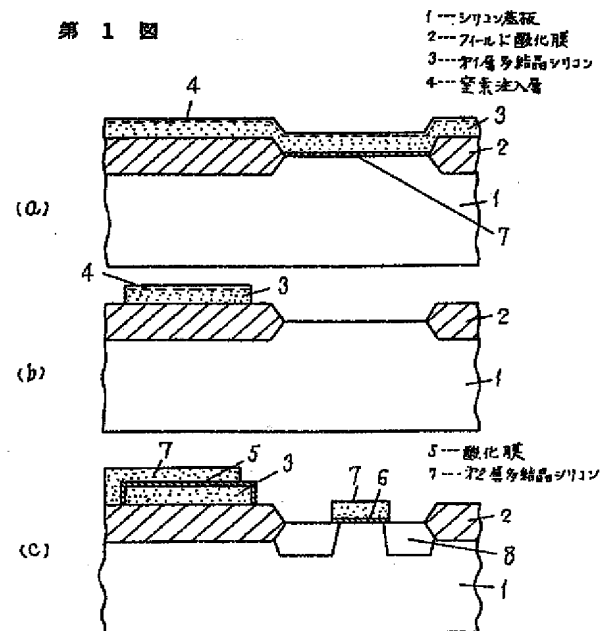
4、図面の簡単な説明

第1図は本発明の一実施例を示す製造方法の主要工程順断面図、第2図は本発明の別の実施例を示す工程順断面図、第3図はPを高濃度で注入した多結晶シリコンを通常のドライ酸素雰囲気中で高温酸化した場合の窒素イオン注入量と酸化膜の関係を示す特性図である。

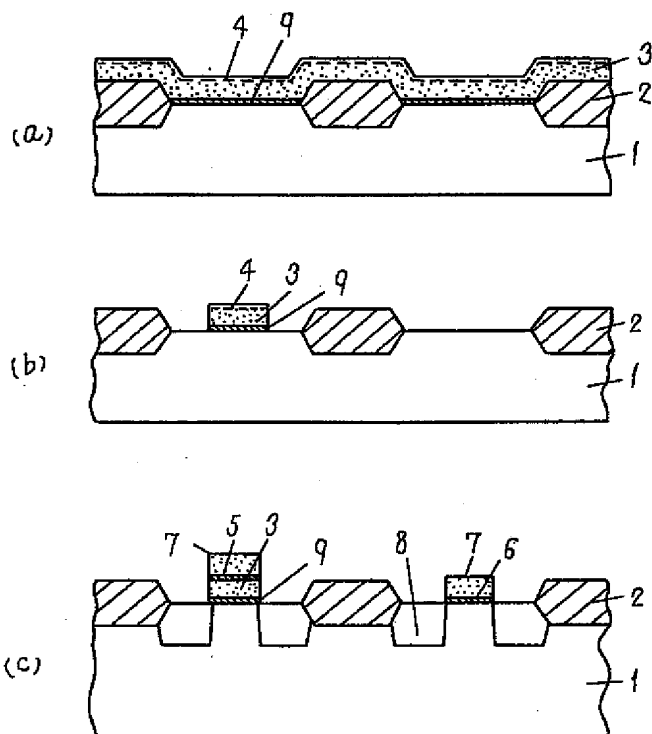
1……シリコン基板、2……フィールド酸化膜、3……第1層目多結晶シリコン、4……窒素注入層、5……第1層目多結晶シリコン上の酸化膜、6……ゲート酸化膜、7……第2層目多結晶シリコン、8……ソース、ドレイン領域。

代理人の氏名 弁理士 中尾敏男 ほか1名

第1図



第 2 図



第 3 図

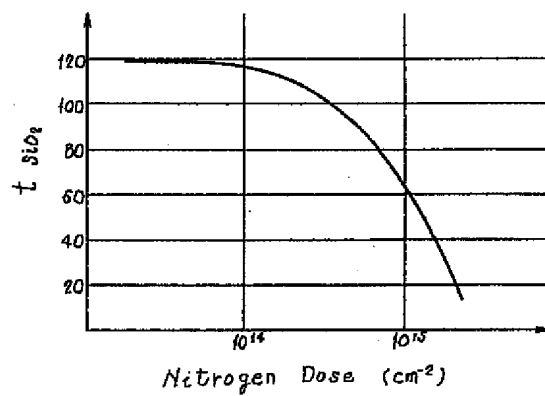


Fig. 2 is a view of cross section of sequential main process showing a manufacturing method for a non-volatile memory (EPROM) according to the present invention. In Fig. 1, 1 indicates a silicon substrate, 2 indicates a field oxide film, 9 indicates a gate oxide film consisting a memory cell of EPROM, 3 indicates a first layer polycrystalline silicon being turned into a final floating gate.

As shown in Fig. 2 a, after high-density P or As is introduced into the polycrystalline silicon 3 as impurity using a conventional method, nitrogen-implanted layer 4 is formed by being implanted with nitrogen ion with energy of 30 kev or 50 kev using a conventional ion implanter.

In the above process, nitrogen ion implanting dose is controlled by the application. Secondly, as shown in Fig. 2 b, a floating gate is formed by processing the first layer polycrystalline silicon 3 using a conventional method. Subsequently, thermal oxidation is done in order to form a gate oxide film 6 on a silicon substrate 1 and form simultaneously an oxide film 5 on the floating gate 3. As publicly known, the oxide film on the floating gate 3 forms capacitance using a second layer polycrystalline silicon 7 formed subsequently thereon as an upper electrode. The value of capacitance thereof depends on the thickness of the oxide film formed on the polycrystalline silicon 3.

According to the method of the present embodiment, when a gate oxide film of 50 nm is formed by high-temperature oxidation in regular dry ambience in the process for oxidizing both of the gate oxide films 6 of surrounding transistors and the oxide film 5 on the floating gate, the oxide film thickness on the floating gate becomes around 70 nm in the case where nitrogen ion implantation is not done. However, the oxide film on the floating gate having the same thickness of 50 nm as the gate film can be realized by nitrogen ion implantation with dose of around $5 \times 10^{14} \text{ cm}^{-2}$, and the oxide film on the floating gate having the thinner thickness of 40 nm than the gate film can be realized by nitrogen ion implantation with dose of around $1 \times 10^{14} \text{ cm}^{-2}$. After formation of the oxide film, second layer polycrystalline silicon 7 is formed by an ordinary method, and subsequently EPROM is fabricated by an ordinary method.

Fig. 3 shows an example of dependency of the oxide film thickness on nitrogen implantation dose in the case where nitrogen is implanted into the polycrystalline silicon being infused with phosphorus in high density using a conventional method and is oxidized by an ordinary dry oxidation method.